



<p>(51) 国際特許分類6 H01L 21/28</p>	<p>A1</p>	<p>(11) 国際公開番号 WO97/08744</p> <p>(43) 国際公開日 1997年3月6日 (06.03.97)</p>
<p>(21) 国際出願番号 PCT/JP96/02318</p> <p>(22) 国際出願日 1996年8月20日 (20.08.96)</p> <p>(30) 優先権データ 特願平7/239120 1995年8月24日 (24.08.95)</p> <p>(71) 出願人 (米国を除くすべての指定国について) ソニー株式会社 (SONY CORPORATION) [JP/JP] 〒141 東京都品川区北品川6丁目7番35号 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 中村光宏 (NAKAMURA, Mitsuhiro) [JP/JP] 和田 勝 (WADA, Masaru) [JP/JP] 〒141 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo, (JP) 内堀千尋 (UCHIBORI, Chihiro) [JP/JP] 村上正紀 (MURAKAMI, Masanori) [JP/JP] 〒606 京都府京都市左京区吉田本町 (番地なし) 京都大学工学部金属加工学教室内 Kyoto, (JP)</p>		<p>(74) 代理人 弁理士 杉浦正知 (SUGIURA, Masatomo) 〒170 東京都豊島区東池袋1丁目48番10号 25山京ビル420号 Tokyo, (JP)</p> <p>(81) 指定国 AU, BR, CA, CN, JP, KR, MX, SG, US, VN, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>派付公開書類 国際調査報告書</p>
<p>(54) Title: LAMINATE FOR FORMING OHMIC ELECTRODE AND OHMIC ELECTRODE</p> <p>(54) 発明の名称 オーミック電極形成用積層体およびオーミック電極</p> <p>(57) Abstract</p> <p>A laminate for forming ohmic electrode having practically satisfactory properties for contact with a III-V compound semiconductor such as GaAs, and an ohmic electrode obtained by using this laminate. A semiconductor layer such as non-single-crystal $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ layer, a thin metal film such as Ni, a thin metal nitride film such as Wn and a thin high-melting metal film such as W are successively formed on a III-V compound semiconductor substrate such as n⁺-type GaAs substrate by sputtering. These films are then patterned by lifting-off to form a laminate for forming ohmic electrode. Then, the laminate is heat-treated by, for example, the RTA method at 500 to 600 °C, e.g., at 550 °C for one second to form an ohmic electrode.</p> <div data-bbox="652 815 890 1171"> </div>		

(57) 要約

GaAs系半導体などのIII-V族化合物半導体に対する実用的に満足しうる特性を有するオーミック電極を形成するためのオーミック電極形成用積層体およびそれを用いて得られるオーミック電極である。

n⁺型GaAs基板などのIII-V族化合物半導体基板上に、スパッタリング法などにより非単結晶In_{0.7}Ga_{0.3}As層のような非単結晶半導体層、Ni薄膜のような金属薄膜、WN薄膜のような窒化金属薄膜およびW薄膜のような高融点金属薄膜を順次形成し、これらをリフトオフなどによりバターニングしてオーミック電極形成用積層体を形成した後、例えばRTA法により500~600℃、例えば550℃で1秒間熱処理を行うことによりオーミック電極を形成する。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を特定するために使用されるコード

AL	アルバニア	DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド
AM	アルメニア	DK	デンマーク	LC	セントルシア	PT	ポルトガル
AT	オーストリア	EE	エストニア	LK	スリランカ	RO	ルーマニア
AU	オーストラリア	ES	スペイン	LR	リベリア	RU	ロシア連邦
AZ	アゼルバイジャン	FI	フィンランド	LS	レソト	SE	スウェーデン
BB	バネミア・ヘルツェゴビナ	FR	フランス	LT	リトアニア	SG	シンガポール
BE	ベルギー	GA	ガボン	LV	ラトヴィア	SI	スロヴェニア
BF	ブルキナ・ファソ	GB	イギリス	MC	モナコ	SK	スロバキア
BG	ブルガリア	GE	ジョージア	MD	モルドヴァ共和国	SN	セネガル
BJ	ベナン	GN	ギニア	MG	マダガスカル	SZ	スワジランド
BK	ボツワナ	HU	ハンガリー	ML	マリ	TD	チャド
BY	ベラルーシ	IE	アイルランド	MR	モーリタニア	TG	トーゴ
CA	カナダ	IS	アイスランド	MN	モンゴル	TJ	タジキスタン
CF	中央アフリカ共和国	IT	イタリア	MX	メキシコ	TM	トルクメニスタン
CG	コンゴ	JP	日本	MW	マラウイ	TR	トルコ
CH	スイス	KE	ケニア	MY	マレーシア	TT	トリニダード・トバゴ
CI	コート・ジボアール	KG	キルギスタン	NE	ニジェール	UA	ウクライナ
CM	カメルーン	KR	朝鮮民主主義人民共和国	NL	オランダ	UG	ウガンダ
CN	中国	KZ	カザフスタン	NO	ノルウェー	US	アメリカ合衆国
CU	キューバ			NZ	ニュージーランド	UZ	ウズベキスタン
CZ	チェコ共和国					VN	ヴェトナム

明 細 書

発明の名称

オーミック電極形成用積層体およびオーミック電極

技術分野

- 5 この発明は、オーミック電極形成用積層体およびオーミック電極に関し、特に、III-V族化合物半導体に対するオーミック電極に適用して好適なものである。

背景技術

- 10 化合物半導体を用いたFETなどのデバイスの高性能化や信頼性の向上を図る上で、オーミック電極の接触抵抗の低減や熱安定性の向上は重要な課題である。しかしながら、化合物半導体、特にGaAs系半導体などのIII-V族化合物半導体に対するオーミック電極は、上記の要求を満足するものが得られていないのが現状である。

- 15 現在、GaAs系半導体に対するオーミック電極の材料として最もよく用いられているものは、AuGe/Niである。このAuGe/Niをオーミック電極の材料として用いた場合には、400～500℃の熱処理により、GaAs系半導体とオーミック接触するオーミック電極を形成することができる。

- 20 このようにAuGe/Niをオーミック電極の材料として用いる場合の最も大きな問題は、この材料を用いて形成されるオーミック電極の熱安定性が悪いことである。すなわち、AuGe/Ni中にAuが多量に含まれている（通常用いられるAuGe中には88%のAuが含まれている）ことにより、400℃以上の温度でGaAsとAuとが反応して β -AuGa（六方最密（HCP）構造で融点 $T_m = 375^\circ\text{C}$ ）が形成されるため、オーミック電極の接触抵抗は低下するものの、熱安定性は劣化する。その結果、オーミック電極形成後に行われ
- 25

る化学気相成長（CVD）などの高温プロセスによりデバイス特性の劣化が引き起こされる。

この問題を第1図に示すGaAs JFETの製造プロセスを例にとって具体的に説明すると、次のようになる。すなわち、この製造プロセスでは、まず、第1図Aに示すように、半絶縁性GaAs基板101中に、n型不純物の選択的なイオン注入およびその後の熱処理によりn型チャネル層102を形成する。次に、半絶縁性GaAs基板101の全面にSi₃N₄膜のような絶縁膜103を形成した後、この絶縁膜103の所定部分をエッチング除去して開口103aを形成する。この後、この開口103aを通じてn型チャネル層102中にp型不純物としてZnを拡散させることによりp⁺型ゲート領域104を形成する。次に、ゲート電極材料として全面に例えばTi/Pt/Au膜を形成した後、その上にゲート電極に対応する形状のレジストパターン（図示せず）を形成し、このレジストパターンをマスクとしてTi/Pt/Au膜をイオンミリング法によりパターニングする。これによって、第1図Bに示すように、ゲート電極105が形成される。次に、絶縁膜103の所定部分をエッチング除去して開口103b、103cを形成した後、これらの開口103b、103cの部分におけるn型チャネル層102上に、AuGe/Niを材料として用いてそれぞれソース電極およびドレイン電極としてのオーミック電極106、107を形成する。次に、第1図Cに示すように、それぞれオーミック電極106、107と接続された一層目の配線108、109を形成する。次に、第1図Dに示すように、後述の二層目の配線との電氣的絶縁のための例えばSi₃N₄膜のような層間絶縁膜110をCVD法により全面に形成した後、この層間絶縁膜110の所定部分をエッチング除去して開口110a、110bを形成する。こ

で、この層間絶縁膜 110 を CVD 法により形成する際に 400℃ 近い高温プロセスを経るため、デバイス特性の劣化が生じるのである。二層目の配線を形成するには、二層目の配線のコンタクト部などを除いた部分の表面に例えばレジスト 111 を形成する。次に、全面に二層目の配線形成用の材料を形成した後、レジスト 111 を除去する。これによって、第 1 図 E に示すように、二層目の配線 112、113 がエアーブリッジ配線として形成される。

上述のようにオーミック電極の材料として AuGe/Ni を用いた場合には、上記の問題のほかに、 GaAs と Au との反応により $\beta\text{-AuGa}$ が形成されることにより、オーミック電極の表面の面荒れが生じ、これが後の微細加工を行う上で大きな問題となっている。

これらの問題を解決するため、これまでに種々のオーミック電極材料の研究が行われている。ところで、オーミック接触を考えた場合、最も理想的とされるのは、第 2 図に示すように、電極金属との界面におけるエネルギー障壁を低下させ、上述の $\beta\text{-AuGa}$ のような低融点の化合物を含まない金属でオーミック接触を得ることである。なお、第 2 図において、 E_c および E_v はそれぞれ伝導帯の下端のエネルギーおよび価電子帯の上端のエネルギー、 E_F はフェルミエネルギーを示す。この図 2 に示す構造のオーミック電極は、有機金属化学気相成長 (MOCVD) 法などのエピタキシャル成長法により GaAs 基板上に $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層を低エネルギー障壁の中間層として形成し、その上に電極金属を形成することにより得られている。しかしながら、このような構造のオーミック電極を得るために MOCVD 装置などのエピタキシャル成長装置を用いることは、プロセスウィンドウを小さくし、また、量産性も悪くする。

このような問題を解決するために、低エネルギー障壁の中間層とし

てのInAs層をInAsをターゲットとして用いたスパッタリング法により形成するとともに、W薄膜およびNi薄膜は電子ビーム蒸着法を用いて形成して、InAs/W構造、InAs/Ni/W構造、Ni/InAs/Ni/W構造などの積層体をGaAs基板上に形成し、その後熱処理を行うことにより、熱安定性が良好なオーミック電極を形成することができることが報告されている(J. Appl. Phys. 68, 2475(1990))。第3図はその一例を示し、n型GaAs基板200上にスパッタリング法によりInAs層201を形成し、さらにこのInAs層201上にNi薄膜202およびW薄膜203を順次形成した後、熱処理を行うことによりオーミック電極を形成する。

この方法は、InAs層201の形成に高速で成膜を行うことができるスパッタリング法を用いているので、非常に量産性に優れている。また、このオーミック電極は、その最上層に高融点金属であるW薄膜203を用いていることから、このオーミック電極に接続する金属配線の材料としてAl、Auといったあらゆる金属をバリアメタルを用いることなく利用することができるなど、プロセスの自由度も大きい。しかしながら、この方法では、熱処理時に微量のInがW薄膜203上に拡散することにより、十分に低い接触抵抗を得ることができないという大きな問題を有している。また、熱処理時にInがW薄膜203上に拡散する結果、オーミック電極の表面が荒れ、モフォロジーが極めて悪くなるという問題もある。

近年、このオーミック電極の表面モフォロジーの問題を解決するために、InAs/Ni/WSi/W構造の積層体をGaAs基板上に形成し、その後熱処理を行うことによりオーミック電極を形成する方法が本出願人により提案されている(特開平7-94444号公報)。しかしながら、この方法により形成されるオーミック電極は、AuG

- e/Niを用いて形成される従来のオーミック電極と比べて接触抵抗が高いという問題がある。また、オーミック電極を形成するために必要な熱処理の温度も700～800℃程度と高いことから、この熱処理の際に不純物の拡散が起きやすく、不純物の再分布が引き起こされるという問題がある。これは、例えば、バイポーラトランジスタのように狭い領域に高不純物濃度のベース層を形成するとき問題となる。

上述のように、従来のGaAs系半導体に対するオーミック電極はいずれも不満足なものであるため、実用上満足しうる特性を有するオーミック電極の実現が望まれていた。

10 発明の開示

従って、この発明の目的は、GaAs系半導体その他のIII-V族化合物半導体に対する、実用的に満足しうる特性を有するオーミック電極を容易に形成することができるオーミック電極形成用積層体およびそれを用いて得られるオーミック電極を提供することにある。

- 15 この発明によるオーミック電極形成用積層体は、

III-V族化合物半導体基体上に順次形成された、非単結晶半導体層および少なくとも窒化金属薄膜を含む薄膜から成ることを特徴とするものである。

また、この発明によるオーミック電極形成用積層体は、

- 20 III-V族化合物半導体基体上に順次形成された、非単結晶半導体層および少なくとも窒化金属薄膜を含む薄膜であって、非単結晶半導体層と薄膜との間のエネルギー障壁の高さはIII-V族化合物半導体基体と薄膜との間のエネルギー障壁の高さよりも低いものから成ることを特徴とするものである。

- 25 この発明によるオーミック電極は、

III-V族化合物半導体基体上に順次形成された、非単結晶半導体層

および少なくとも窒化金属薄膜を含む薄膜から成るオーミック電極形成用積層体を熱処理することによって得られることを特徴とするものである。

また、この発明によるオーミック電極は、

- 5 III-V族化合物半導体基体上に形成されたオーミック電極であって、
非単結晶半導体層および少なくとも窒化金属薄膜を含む薄膜を有し、
上記非単結晶半導体層と上記薄膜との間のエネルギー障壁の高さは上記
III-V族化合物半導体基体と上記薄膜との間のエネルギー障壁の高
さよりも低いものから成るオーミック電極形成用積層体を熱処理する
10 ことによって得られることを特徴とするものである。

- この発明において、III-V族化合物半導体基体には、例えばGaAs、
AlGaAs、InGaAsなどから成る基板または層が含まれる。また、この
III-V族化合物半導体基体がn型である場合、このIII-V族化合物半導体
15 基体中にはドナーとなる不純物として、例えばSi、Ge、Te、Snなどが
含まれる。これらのドナーとなる不純物は、例えばイオン注入、液相エ
ピタキシー（LPE）、分子線エピタキシー（MBE）、有機金属気相エ
ピタキシー（MOVPE）などの方法によりIII-V族化合物半導体基体中に導
入される。

- 非単結晶半導体層には非単結晶 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層（ただし、 0
20 $< x \leq 1$ ）などが含まれる。ここで、「非単結晶」とは、単結晶では
なく、多結晶または非晶質であることを意味する。この非単結晶半導
体層は、好適には、スパッタリング法により形成されるが、他の方法、
例えば真空蒸着法、特に電子ビーム蒸着法によって形成してもよい。
この非単結晶半導体層をスパッタリング法により形成する場合には、
25 ターゲットとしてこの非単結晶半導体層と同一の半導体材料から成る
単一のターゲットを用いた通常のスパッタリング法を用いることがで

きるほか、この非単結晶半導体層の各構成元素から成る複数のターゲットを用いた同時スパッタリング法を用いることもできる。

III-V族化合物半導体基体と非単結晶半導体層との間には、非単結晶半導体層のIII-V族化合物半導体基体に対する濡れ性を向上させるためなどの目的で、例えばNi薄膜のような金属薄膜を形成してもよい。

この発明の典型的な一実施形態においては、非単結晶半導体層上の薄膜は、金属薄膜およびこの金属薄膜上に形成された窒化金属薄膜を有する。この場合、金属薄膜は、より低い温度での熱処理により低い接触抵抗のオーミック電極を形成することができるようにするためなどの理由により用いられる。また、窒化金属薄膜は、熱処理時に非単結晶半導体層の構成元素、例えばInが電極表面側に拡散するのを防止するために用いられる。この窒化金属薄膜上には、オーミック電極のシート抵抗の低減を図るためや、バリアメタルを用いることなくオーミック電極に金属配線を接続することができるようにするためなどの理由により、好適には、窒化金属薄膜に比べて抵抗率が低く、しかも配線に用いられる材料との反応が起こりにくい高融点金属薄膜が形成される。ここで、金属薄膜としては、Ni薄膜、Al薄膜、Co薄膜などを用いることができる。また、窒化金属薄膜としては、WN薄膜、WSiN薄膜、Ta₂N薄膜、TaSiN薄膜、TiN薄膜、TiSiN薄膜、TiON薄膜などを用いることができる。これらの窒化金属薄膜は、結晶質（多結晶など）であっても非晶質であってもよい。さらに、高融点金属薄膜としては、W薄膜、Mo薄膜、Ta薄膜などを用いることができる。

上記の高融点金属薄膜上には、オーミック電極のシート抵抗の低減を図り、このオーミック電極を配線としても用いることができるよう

にするために、配線用金属薄膜、例えばAl薄膜、Al合金(Al-Si、Al-Cu、Al-Si-Cuなど)薄膜、Au薄膜、Au/Ti薄膜などを形成してもよい。

- 非単結晶半導体層上の薄膜、すなわち金属薄膜、窒化金属薄膜、高融点金属薄膜などは、スパッタリング法や、真空蒸着法、特に電子ビーム蒸着法によって形成することができる。これらの金属薄膜、窒化金属薄膜、高融点金属薄膜などをスパッタリング法により形成する場合には、ターゲットとしてこれらと同一の材料から成る単一のターゲットを用いた通常のスパッタリング法を用いることができるほか、これらの各構成元素から成る複数のターゲットを用いた同時スパッタリング法を用いることもできる。また、これらの金属薄膜、窒化金属薄膜、高融点金属薄膜などを真空蒸着法により形成する場合には、これらと同一の材料から成る単一の蒸着源またはこれらの各構成元素から成る複数の蒸着源を用いることができる。さらに、高融点金属薄膜は、場合によってはCVD法により形成してもよい。

- この発明によれば、上述のオーミック電極形成用積層体をIII-V族化合物半導体基体上に形成した後、例えば500~600℃程度の温度で熱処理を行うことにより、実用上デバイスに要求される特性、すなわち熱安定性、低接触抵抗、表面の平坦性などの特性を満足するオーミック電極を容易に形成することができる。また、この場合、オーミック電極の形成に必要な熱処理の温度は500~600℃程度と低いので、この熱処理の際に不純物の拡散が起きるのを防止することができ、不純物の再分布を防止することができる。

図面の簡単な説明

- 第1図はオーミック電極材料としてAuGe/Niを用いる従来のオーミック電極の形成方法をGaAs JFETの製造プロセスにお

けるオーミック電極の形成に用いた場合の問題点を説明するための断面図、第2図は理想的なオーミック電極のエネルギーバンド図、第3図は従来のオーミック電極の形成方法において用いられるInAs/Ni/W構造のオーミック電極形成用積層体を示す断面図、第4図はこの発明の第1の実施形態によるオーミック電極の形成方法を説明するための断面図、第5図はこの発明の第1の実施形態によるオーミック電極の形成方法により形成されたオーミック電極の接触抵抗の熱処理温度依存性の測定結果の一例を示すグラフ、第6図はこの発明の第1の実施形態によるオーミック電極の形成方法においてオーミック電極形成用積層体を形成した後に550℃で1秒間熱処理を行うことによりオーミック電極を形成し、さらに400℃で10時間熱処理を行った後のオーミック電極の表面を撮影した光学顕微鏡写真、第7図はこの発明の第1の実施形態によるオーミック電極の形成方法により形成されたオーミック電極の熱安定性の測定結果の一例を示すグラフ、第8図はこの発明の第2の実施形態によるオーミック電極の形成方法において用いられるオーミック電極形成用積層体を示す断面図、第9図はこの発明の第3の実施形態によるオーミック電極の形成方法において用いられるオーミック電極形成用積層体を示す断面図、第10図はこの発明の第4の実施形態によるGaAs MESFETの製造方法を説明するための断面図である。

発明を実施するための最良の形態

以下、この発明の実施形態について図面を参照しながら説明する。なお、実施形態の全図において、同一または対応する部分には同一の符号を付す。

第4図はこの発明の第1の実施形態によるオーミック電極の形成方法を示す。

この第1の実施形態においては、まず、第4図Aに示すように、 n^+ 型GaAs基板1上にフォトリソグラーフ法によりパターンニングし、形成すべきオーミック電極に対応する部分に開口を有するレジストパターン2を形成する。このレジストパターン2の厚さは、後述の非単結晶In_{0.7}Ga_{0.3}As層3、Ni薄膜4、WN薄膜5およびW薄膜6の合計の厚さよりも十分に大きくなるように選ばれる。また、このフォトリソグラーフ法における露光は、例えば縮小投影露光装置（いわゆるステッパー）のような光学式露光装置を用いて行われる。なお、このレジストパターン2の形成は、電子線レジストと電子ビームリソグラーフ法とを用いて行うようにしてもよい。

次に、第4図Bに示すように、まず、例えばIn_{0.7}Ga_{0.3}Asをターゲットとして用いたスパッタリング法（例えば、マグネトロンスパッタリング法）により非単結晶In_{0.7}Ga_{0.3}As層3を全面に形成し、引き続き例えばスパッタリング法や電子ビーム蒸着法によりNi薄膜4、WN薄膜5およびW薄膜6を順次全面に形成する。ここで、スパッタリング法、例えばマグネトロンスパッタリング法により非単結晶In_{0.7}Ga_{0.3}As層3を形成する場合には、成膜室内を例えばベース圧力 2×10^{-5} Paに真空排気した後、この成膜室内にArガスを例えば圧力 3×10^{-1} Paまで導入し、このArガスをDC放電させる。この場合の使用電力は、例えば150 Wである。また、成膜は例えば室温で行われる。このとき、成膜速度は例えば7 nm/分である。さらにまた、スパッタリング法、例えばマグネトロンスパッタリング法によりWN薄膜5を形成する場合には、成膜室内を例えばベース圧力 2×10^{-5} Paに真空排気した後、この成膜室内にN₂ガスを例えば圧力 3×10^{-1} Paまで導入し、このN₂ガスを

D C放電させる。この場合の使用電力は例えば150Wであり、成膜は例えば室温で行われる。なお、N₂ ガスの代わりにN₂ ガスとArガスとの混合ガスを用いてもよい。また、上に挙げたスパッタリング法はいわゆるD Cスパッタリング法であるが、場合によっては、この

5 D Cスパッタリング法の代わりにR Fスパッタリング法を用いてもよい。

次に、上述のようにして非単結晶In_{0.7}Ga_{0.3}As層3、Ni薄膜4、WN薄膜5およびW薄膜6が形成されたn⁺型GaAs基板1を例えばアセトンのような有機溶剤に浸けてレジストパターン2を溶解除去することにより、このレジストパターン2上に形成された非

10 単結晶In_{0.7}Ga_{0.3}As層3、Ni薄膜4、WN薄膜5およびW薄膜6を除去する。この結果、第4図Cに示すように、レジストパターン2の開口部に対応する部分におけるn⁺型GaAs基板1上のみ非単結晶In_{0.7}Ga_{0.3}As層3、Ni薄膜4、WN薄膜5およびW

15 薄膜6が残される。

次に、これらの非単結晶In_{0.7}Ga_{0.3}As層3、Ni薄膜4、WN薄膜5およびW薄膜6、すなわちオーミック電極形成積層体が形成されたn⁺型GaAs基板1を、例えばRTA (Rapid Thermal Annealing)法や一般的な電気炉による方法により例えば500～600℃で短時間、例えば1秒～数分間の熱処理を行う。この熱処理の際の雰囲気としては、例えばN₂ ガスや、微量のH₂ ガスを添加したN₂ ガスから成る雰囲気を用いる。この熱処理の結果、第4図Dに示すように、オーミック電極7が形成される。

20

第5図は、この第1の実施形態による方法により形成されたオーミック電極7の接触抵抗の熱処理温度依存性の測定結果の一例を示す。

25

測定に用いた試料は、非単結晶In_{0.7}Ga_{0.3}As層3、WN薄膜

- 5 およびW薄膜6の厚さをそれぞれ14 nm、25 nmおよび50 nmに固定し、Ni薄膜4の厚さを9 nm、10 nmおよび11 nmの3水準に変え、これらの非単結晶In_{0.7}Ga_{0.3}As層3、Ni薄膜4、WN薄膜5およびW薄膜6をn⁺型GaAs基板1上に形成した後、RTA法により450～655℃の範囲で温度を変えて1秒間熱処理を行うことによりオーミック電極を形成したものである。ただし、これらの熱処理の際の雰囲気としては、5%のH₂ガスが添加されたN₂ガス雰囲気をを用いた。また、n⁺型GaAs基板1としては、(100)面方位の半絶縁性GaAs基板にSiをイオン注入してn型化した、不純物濃度が $2 \times 10^{18} \text{ cm}^{-3}$ のものをを用いた。接触抵抗の測定はTLM (Transmission Line Method) 法により行った。第5図より、熱処理温度が550℃のときに接触抵抗は最も低くなり、約0.2 Ωmmと極めて低い接触抵抗値が得られていることがわかる。
- 第6図は、非単結晶In_{0.7}Ga_{0.3}As層3、Ni薄膜4、WN薄膜5およびW薄膜6から成るオーミック電極形成用積層体をn⁺型GaAs基板1上に形成した後、RTA法により550℃で1秒間熱処理を行ってオーミック電極7を形成し、さらに400℃で10時間熱処理を行った後のオーミック電極7の表面を撮影した光学顕微鏡写真を示す。ただし、非単結晶In_{0.7}Ga_{0.3}As層3、Ni薄膜4、WN薄膜5およびW薄膜6の厚さはそれぞれ14 nm、10 nm、25 nmおよび25 nmである。第6図より、400℃で10時間熱処理を行った後の状態におけるオーミック電極7の表面モフォロジーは極めて良好であることのみならず、熱安定性に関しても極めて良好であることがわかる。このように良好な表面モフォロジーが得られる理由は、オーミック電極形成用積層体におけるWN薄膜5の存在により、熱処理時に非単結晶In_{0.7}Ga_{0.3}As層3からInが電極表面側

に拡散するのが防止されるためである。

- また、オーミック電極7を形成した後に試料を400℃で10時間熱処理したときのこのオーミック電極7の接触抵抗の経時変化、すなわちオーミック電極7の熱安定性を測定したところ、第7図に示すような結果が得られた。ただし、非単結晶In_{0.7}Ga_{0.3}As層3、Ni薄膜4、WN薄膜5およびW薄膜6の厚さはそれぞれ25nm、10nm、25nmおよび50nmである。第7図においては、比較のために、WN薄膜を含まないオーミック電極形成用積層体を用いて形成したオーミック電極、具体的には厚さ25nmの非単結晶In_{0.7}Ga_{0.3}As層上に厚さ15nmのNi薄膜および厚さ50nmのW薄膜を形成したオーミック電極形成用積層体を用いて形成したオーミック電極、および、厚さ23nmの非単結晶InAs層上に厚さ15nmのNi薄膜および厚さ50nmのW薄膜を形成したオーミック電極形成用積層体を用いて形成したオーミック電極の熱安定性の測定結果も示してある。

- 第7図より、厚さ25nmの非単結晶In_{0.7}Ga_{0.3}As層上に厚さ15nmのNi薄膜および厚さ50nmのW薄膜を形成したオーミック電極形成用積層体を用いて形成したオーミック電極の接触抵抗は、熱処理開始後1時間程度で増加し始めており、熱安定性が悪いことがわかる。また、厚さ23nmの非単結晶InAs層上に厚さ15nmのNi薄膜および厚さ50nmのW薄膜を形成したオーミック電極形成用積層体を用いて形成したオーミック電極の接触抵抗は、熱処理開始後10時間経過しても一定値を維持していて熱安定性は良好であるが、接触抵抗は0.45Ωmm程度とあまり低くはない。これに対し、WN薄膜を含むオーミック電極形成用積層体を用いて形成したこの第1の実施形態によるオーミック電極7の接触抵抗は、熱処理開

始後10時間経過しても一定値を維持していて熱安定性が良好である上に、接触抵抗も $0.2\ \Omega\text{mm}$ 程度と極めて低い。ここで、このように良好な熱安定性が得られる理由は、オーミック電極7中には、AuGe/Niを用いてオーミック電極を形成した場合にこのオーミック電極中に含まれる $\beta\text{-AuGa}$ のような低融点の化合物が含まれていないため、および、WN薄膜5により非単結晶 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 層3からInが電極表面側に拡散するのが防止されるためである。

以上のように、この第1の実施形態によれば、 n^+ 型GaAs基板1上に、非単結晶 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 層3、Ni薄膜4、WN薄膜5およびW薄膜6から成るオーミック電極形成用積層体を形成した後、例えばRTA法により $500\sim600^\circ\text{C}$ の熱処理を例えば1秒行うことにより、低接触抵抗かつ低膜抵抗で表面の平坦性あるいは表面モロロジーも良好でさらに熱安定性も良好なオーミック電極7を容易に形成することができる。このオーミック電極7は、第2図に示す理想的なエネルギーバンド構造に近いエネルギーバンド構造を有する。このオーミック電極7はまた、その最上部が高融点金属であるWから成るため、バリアメタルを用いることなく、金属配線を直接接続することができる。また、オーミック電極7の形成に用いられる非単結晶 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 層3は、高速で成膜を行うことができるスパッタリング法により形成しているので、このオーミック電極7を高い生産性で形成することができる。そして、このオーミック電極7の接触抵抗はAuGe/Niを用いて形成される従来のオーミック電極と同等の低い値であることから、このオーミック電極7を用いた半導体素子の特性を損なうこともない。さらに、オーミック電極7の形成に必要な熱処理の温度は $500\sim600^\circ\text{C}$ と低いので、この熱処理の際に不純物の拡散が起き、不純物の再分布が生じるのを有効に防止すること

ができる。

次に、この発明の第2の実施形態について説明する。

この第2の実施形態においては、第1の実施形態において用いた第4図Cに示すようなオーミック電極形成用積層体の代わりに、第8図に示すようなオーミック電極形成用積層体を用いる。この第8図に示すオーミック電極形成用積層体が第4図Cに示すオーミック電極形成用積層体と異なる点は、W薄膜6が形成されていないことである。その他のことは、第1の実施形態と同様であるので、説明を省略する。

この第2の実施形態によっても、第1の実施形態とほぼ同様な良好な特性を有するオーミック電極を容易にしかも高い生産性で形成することができる。

次に、この発明の第3の実施形態について説明する。

この第3の実施形態においては、第1の実施形態において用いた第4図Cに示すようなオーミック電極形成用積層体の代わりに、第9図に示すようなオーミック電極形成用積層体を用いる。この第9図に示すオーミック電極形成用積層体が第4図Cに示すオーミック電極形成用積層体と異なる点は、W薄膜6上にさらにAl薄膜8が形成されていることである。

この第3の実施形態においては、第4図Bに示すと同様にW薄膜6まで形成した後、このW薄膜6上にAl薄膜8を例えばスパッタリング法や電子ビーム蒸着法により形成する。そして、その後、第1の実施形態で述べたと同様にしてリフトオフを行うことにより、オーミック電極形成部および n^+ 型GaAs基板1上に非単結晶 $In_{0.7}Ga_{0.3}As$ 層3、Ni薄膜4、WN薄膜5、W薄膜6およびAl薄膜8から成るオーミック電極形成用積層体を形成する。この場合、リフトオフを行いやすくするために、リフトオフに用いるレジストパターン

を2層構造にして厚くし、さらにこのレジストパターンが例えばポジ型レジストからなる場合には、下層のレジストパターンに、より感光しやすいレジストを用いるなどの工夫をしてもよい。

- この第3の実施形態によれば、オーミック電極形成用積層体の最上層にAl薄膜8が形成されていることにより、このオーミック電極形成用積層体を用いて形成されるオーミック電極7のシート抵抗の低減を図ることができる。これによって、このオーミック電極7をICの配線やキャパシタの電極として用いることができる。また、このため、配線工程が簡略され、設計の自由度が広がるという利点もある。

- 次に、この発明の第4の実施形態について説明する。

この第4の実施形態においては、GaAs MESFETの製造プロセスにおけるオーミック電極の形成に第2の実施形態によるオーミック電極の形成方法を用い、かつ、オーミック電極の形成と同時にゲート電極をも形成する場合について説明する。

- すなわち、この第4の実施形態においては、まず、第10図Aに示すように、半絶縁性GaAs基板9のn型チャネル層形成部にドナーとなる不純物を低濃度を選択的にイオン注入するとともに、半絶縁性GaAs基板9のソース領域およびドレイン領域形成部にドナーとなる不純物を高濃度を選択的にイオン注入した後、例えば700～800℃の温度で熱処理を行うことにより注入不純物を電気的に活性化してn型チャネル層10、n⁺型のソース領域11およびドレイン領域12を形成する。

- 次に、第10図Bに示すように、第1の実施形態で述べたと同様なリフトオフ法により、オーミック電極形成部に非単結晶In_{0.7}Ga_{0.3}As層3およびNi薄膜4から成る積層体を形成する。

次に、例えばスパッタリング法により全面にWN薄膜を形成した後、

このWN薄膜上に、形成すべきゲート電極およびオーミック電極に対応した形状のレジストパターン（図示せず）をリソグラフィー法により形成し、このレジストパターンをマスクとしてWN薄膜を例えばCF₄/O₂系のエッチングガスを用いた反応性イオンエッチング（RIE）法によりエッチングする。その後、レジストパターンを除去する。これによって、第10図Cに示すように、オーミック電極形成部に非単結晶In_{0.7}Ga_{0.3}As層3、Ni薄膜4およびWN薄膜5から成るオーミック電極形成用積層体が形成されるとともに、n型チャネル層10上にWN薄膜から成るゲート電極13が形成される。なお、上記のWN薄膜を用いて配線を形成することも可能である。

次に、例えばRTA法により500～600℃の温度で熱処理を行う。これによって、第10図Dに示すように、第1の実施形態で述べたと同様にしてソース電極またはドレイン電極として用いられるオーミック電極14、15が形成され、目的とするGaAs MESFETが完成される。

以上のように、この第4の実施形態によれば、ソース電極またはドレイン電極として用いて好適な良好な特性を有するオーミック電極14、15を容易に形成することができ、しかもこれらのオーミック電極14、15の形成に用いられるオーミック電極形成用積層体の形成時にゲート電極13を同時に形成することができる。これによって、GaAs MESFETの製造工程の簡略化を図ることができる。

次に、この発明の第5の実施形態について説明する。

この第5の実施形態においては、n型III-V族化合物半導体に対するオーミック電極とp型III-V族化合物半導体に対するオーミック電極とを両方とも必要とする半導体素子を製造する場合に、これらのオーミック電極をこの発明によるオーミック電極形成用積層体を用いて

同時に形成する。

具体的には、例えば、GaAs JFETの製造において、半絶縁性GaAs基板中に p^+ 型のゲート領域、n型のソース領域およびドレイン領域を形成した後、これらのゲート領域、ソース領域およびドレイン領域上にそれぞれ例えば第1の実施形態と同様なオーミック電極形成用積層体を形成し、その後例えば500～600℃の温度で熱処理を行うことにより、これらのゲート領域、ソース領域およびドレイン領域上にそれぞれのオーミック電極を同時に形成することができる。

また、III-V族化合物半導体を用いたヘテロ接合バイポーラトランジスタ(HBT)、例えば、エミッタ層にn型AlGaAs層を用い、ベース層にp型GaAs層を用い、コレクタ層にn型GaAs層を用い、これらのエミッタ層、ベース層およびコレクタ層に対するオーミック電極が必要なHBTの製造において、これらのエミッタ層、ベース層およびコレクタ層上のオーミック電極形成部に例えば第1の実施形態と同様なオーミック電極形成用積層体を形成し、その後例えば500～600℃の温度で熱処理を行うことにより、これらのエミッタ層、ベース層およびコレクタ層上にそれぞれのオーミック電極を同時に形成することができる。

以上、この発明の実施形態につき具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

例えば、上述の第1の実施形態～第4の実施形態において用いられたNi薄膜4の代わりに、Co薄膜またはAl薄膜を用いてもよい。

また、上述の第1の実施形態～第3の実施形態においては、オーミック電極形成用積層体をリフトオフ法により形成しているが、このオ

ーミック電極形成用積層体は、 n^+ 型 GaAs 基板 1 の全面にこのオーミック電極形成用積層体を構成する層をスパッタリング法などにより順次形成した後にこれらをエッチング法によりオーミック電極の形状にパターニングすることにより形成するようにしてもよい。

- 5 さらに、上述の第 1 の実施形態～第 4 の実施形態においては、GaAs 基板に対するオーミック電極の形成にこの発明を適用した場合について説明したが、例えばエピタキシャル成長などにより形成された GaAs 層に対するオーミック電極の形成にこの発明を適用することも可能である。

- 10 また、この発明は、III-V 族化合物半導体を用いた高電子移動度トランジスタ (HEMT)、例えば AlGaAs/GaAs HEMT におけるソース領域およびドレイン領域に対するオーミック電極の形成に適用することも可能である。

- 15 以上述べたように、この発明によれば、III-V 族化合物半導体基体上に順次形成された、非単結晶半導体層および少なくとも窒化金属薄膜を含む薄膜から成るオーミック電極形成用積層体を熱処理することによって、III-V 族化合物半導体に対する、実用的に満足しうる特性を有するオーミック電極を容易に形成することができる。

請 求 の 範 囲

1. III-V族化合物半導体基体上に順次形成された、非単結晶半導体層および少なくとも窒化金属薄膜を含む薄膜から成ることを特徴とするオーミック電極形成用積層体。
- 5 2. 上記III-V族化合物半導体基体はGaAs、AlGaAsまたはInGaAsから成ることを特徴とする請求の範囲第1項記載のオーミック電極形成用積層体。
3. 上記非単結晶半導体層は非単結晶 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層 ($0 < x \leq 1$)であることを特徴とする請求の範囲第1項記載のオーミック電極形成用積層体。
- 10 4. 上記薄膜は金属薄膜および上記金属薄膜上に形成された窒化金属薄膜を有することを特徴とする請求の範囲第1項記載のオーミック電極形成用積層体。
5. 上記窒化金属薄膜上にさらに高融点金属薄膜が形成されていることを特徴とする請求の範囲第4項記載のオーミック電極形成用積層体。
- 15 6. 上記高融点金属薄膜上にさらに配線用金属薄膜が形成されていることを特徴とする請求の範囲第5項記載のオーミック電極形成用積層体。
7. 上記金属薄膜はNi薄膜、Co薄膜またはAl薄膜であり、上記窒化金属薄膜はWN薄膜、WSiN薄膜、Ta₂N薄膜、TaSiN薄膜、TiN薄膜、TiSiN薄膜またはTiO₂N薄膜であることを特徴とする請求の範囲第4項記載のオーミック電極形成用積層体。
- 20 8. 上記高融点金属薄膜はW薄膜、Ta薄膜またはMo薄膜であることを特徴とする請求の範囲第5項記載のオーミック電極形成用積層体。
- 25 9. III-V族化合物半導体基体上に順次形成された、非単結晶半導体層および少なくとも窒化金属薄膜を含む薄膜であって、上記非単結晶

半導体層と上記薄膜との間のエネルギー障壁の高さは上記III-V族化合物半導体基体と上記薄膜との間のエネルギー障壁の高さよりも低いものから成ることを特徴とするオーミック電極形成用積層体。

- 5 10. III-V族化合物半導体基体上に順次形成された、非単結晶半導体層および少なくとも窒化金属薄膜を含む薄膜から成るオーミック電極形成用積層体を熱処理することによって得られることを特徴とするオーミック電極。

- 10 11. 上記オーミック電極形成用積層体を熱処理する温度は500～600℃であることを特徴とする請求の範囲第10項記載のオーミック電極。

12. 上記III-V族化合物半導体基体はGaAs、AlGaAsまたはInGaAsから成る上記オーミック電極形成用積層体を熱処理することによって得られることを特徴とする請求の範囲第10項記載のオーミック電極。

- 15 13. 上記非単結晶半導体層は非単結晶 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層($0 < x \leq 1$)である上記オーミック電極形成用積層体を熱処理することによって得られることを特徴とする請求の範囲第10項記載のオーミック電極。

- 20 14. 上記薄膜は金属薄膜および上記金属薄膜上に形成された窒化金属薄膜を有する上記オーミック電極形成用積層体を熱処理することによって得られることを特徴とする請求の範囲第10項記載のオーミック電極。

- 25 15. 上記窒化金属薄膜上にさらに高融点金属薄膜が形成されている上記オーミック電極形成用積層体を熱処理することによって得られることを特徴とする請求の範囲第14項記載のオーミック電極。

16. 上記高融点金属薄膜上にさらに配線用金属薄膜が形成されてい

る上記オーミック電極形成用積層体を熱処理することによって得られることを特徴とする請求の範囲第15項記載のオーミック電極。

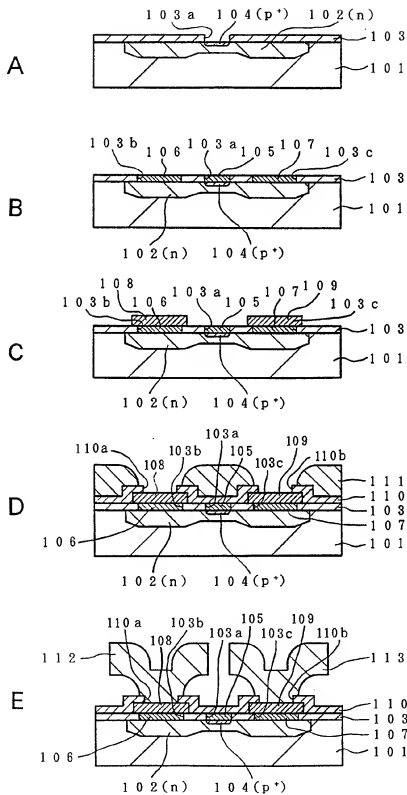
17. 上記金属薄膜はNi薄膜、Co薄膜またはAl薄膜であり、上記窒化金属薄膜はWN薄膜、WSiN薄膜、Ta₂N薄膜、TaSiN薄膜、TiN薄膜、TiSiN薄膜またはTiON薄膜である上記オーミック電極形成用積層体を熱処理することによって得られることを特徴とする請求の範囲第14項記載のオーミック電極。

18. 上記高融点金属薄膜はW薄膜、Ta薄膜またはMo薄膜である上記オーミック電極形成用積層体を熱処理することによって得られることを特徴とする請求の範囲第15項記載のオーミック電極。

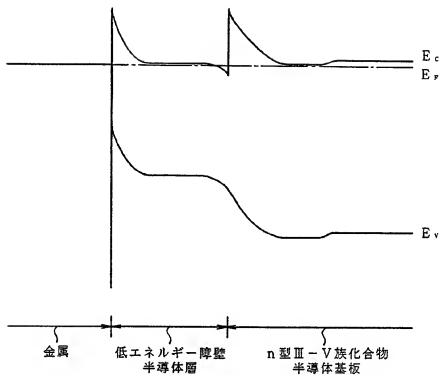
19. III-V族化合物半導体基体上に形成されたオーミック電極であって、

- 非単結晶半導体層および少なくとも窒化金属薄膜を含む薄膜を有し、上記非単結晶半導体層と上記薄膜との間のエネルギー障壁の高さは上記III-V族化合物半導体基体と上記薄膜との間のエネルギー障壁の高さよりも低いものから成るオーミック電極形成用積層体を熱処理することによって得られることを特徴とするオーミック電極。

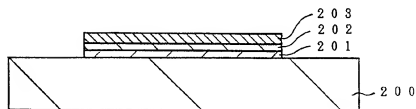
第1図



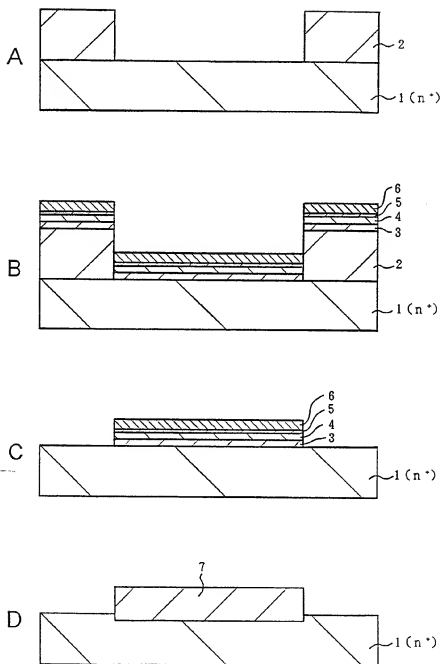
第2図



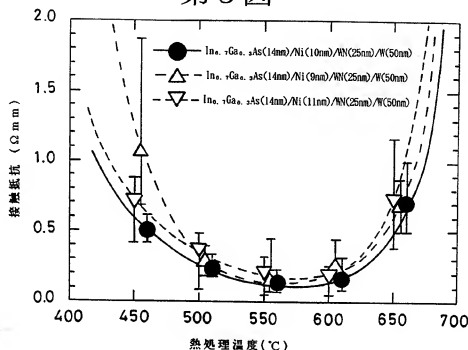
第3図



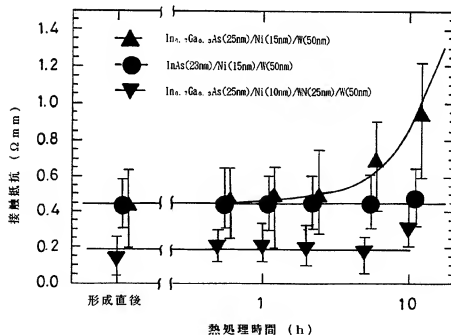
第4図



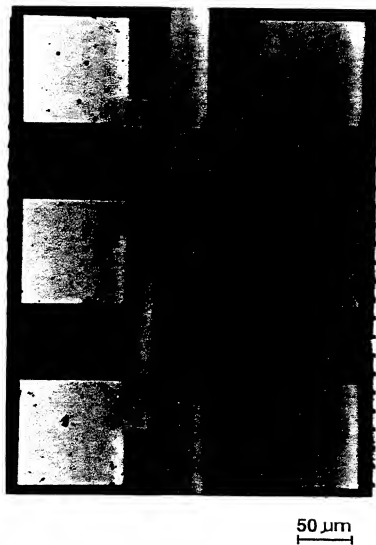
第5図



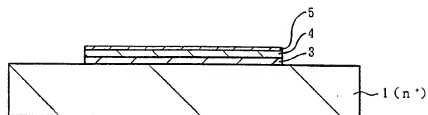
第7図



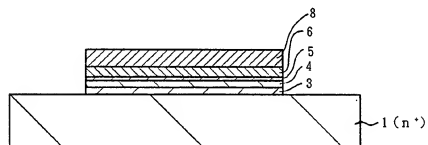
第 6 図



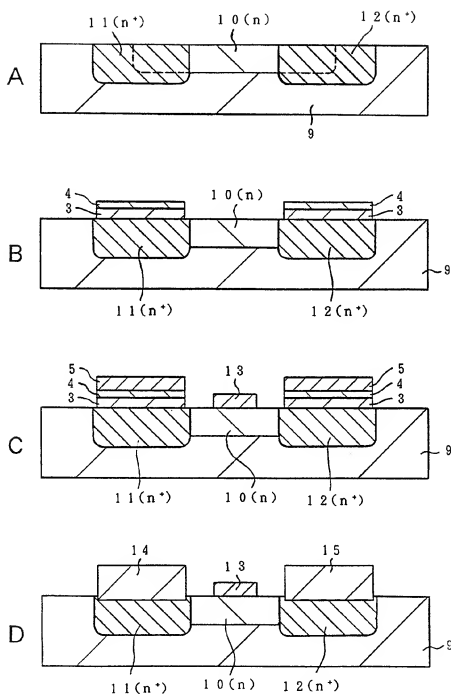
第8図



第9図



第 10 図



- 1 : n⁺ 型 GaAs 基板
- 3 : 非単結晶 In_{0.7} Ga_{0.3} As 層
- 4 : Ni 薄膜
- 5 : WN 薄膜
- 6 : W 薄膜
- 7 : オーミック電極
- 8 : Al 薄膜

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/02318

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H01L21/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ H01L21/28, 29/40-417, 43, 45

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1964 - 1995

Kokai Jitsuyo Shinan Koho 1971 - 1993

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 7-94444, A (Sony Corp.), April 7, 1995 (07. 04. 95), Claim 1 & EP, 649167, A	1, 9, 10, 19
A	JP, 6-267887, A (Sony Corp.), September 22, 1994 (22. 09. 94), Claim 1 (Family: none)	1, 9, 10, 19
A	JP, 1-166556, A (Hitachi, Ltd.), June 30, 1989 (30. 06. 89), Claim 1 (Family: none)	1, 9, 10, 19

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

November 11, 1996 (11. 11. 96)

Date of mailing of the international search report

November 19, 1996 (19. 11. 96)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl. ⁴ H01L21/28	
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl. ⁴ H01L21/28, 29/40~417, 43, 45	
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報1964-1995年 日本国公開実用新案公報1971-1993年	
国際調査で利用した電子データベース (データベースの名称、調査に利用した用語)	
C. 関連すると認められる文献	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 関連する 請求の範囲の番号
A	J P, 7-94444, A (ソニー株式会社) 7. 4月. 1995 (07.04.07), ク レーム1, EP, 649167, A 1, 9, 10, 19
A	J P, 6-267887, A (ソニー株式会社) 22. 9月. 1994 (22.09.94), クレーム1, (ファミリーなし) 1, 9, 10, 19
A	J P, 1-166556, A (株式会社日立製作所) 30. 6月. 1989 (30.06.89), クレーム1, (ファミリーなし) 1, 9, 10, 19
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。	
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献	
国際調査を完了した日 11. 11. 96	国際調査報告の発送日 19.11.96
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 國島 明弘 印 4M 8932 電話番号 03-3581-1101 内線